



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

F-98 ED 0248-45

#5

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月19日

出 願 番 号

Application Number:

特願2000-117990

出 願 人

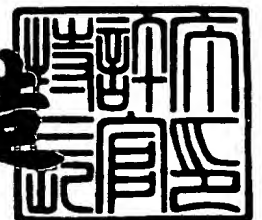
Applicant (s):

沖電気工業株式会社

2000年12月15日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3103761

【書類名】 特許願

【整理番号】 OG004352

【提出日】 平成12年 4月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/203

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

 【氏名】 宇佐美 哲男

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

 【氏名】 新川 吉和

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100089093

 【弁理士】

 【氏名又は名称】 大西 健治

【手数料の表示】

 【予納台帳番号】 004994

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線薄膜の堆積方法

【特許請求の範囲】

【請求項 1】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl-Si-Cu膜を400℃以上で堆積する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項 2】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl-Si-Cu膜を堆積する工程と、前記半導体基板を400℃以上でアニール処理する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項 3】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl₃Ti膜を堆積する工程と、前記Al₃Ti膜上にAl-Si-Cu膜を400℃以上の温度で堆積する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項 4】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl₃Ti膜を堆積する工程と、前記Al₃Ti膜上にAl-Si-Cu膜を堆積する工程と、前記半導体基板を400℃以上でアニール処理する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項 5】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl-Si-Cu膜を堆積する工程と、前記Al-Si-Cu膜上にAl₃Ti膜を堆積する工程と、前記半導体基板を400℃以上でアニール処理する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項 6】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl-Si-Cu膜を堆積する工程と、前記Al-Si-Cu膜上にAl₃Ti膜を400℃以上の温度で堆積する工程とを含むことを特徴とする配線薄膜の堆積方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体素子の製造方法とその方法を用いて製造された素子の構造に関し、特に配線として用いられる薄膜の堆積方法と、及びその方法を用いて堆積された薄膜の積層構造に関するものである。

【 0 0 0 2 】

【従来の技術】

従来半導体基板上に素子を形成する場合は、図 1 5 ～ 1 7 に示す様な配線薄膜堆積方法が行われてきた。まず、シリコンに代表されるような半導体基板 1 上に絶縁膜 2 (例えばSiO₂、BPSG)を堆積し、バリア層 3 (例えばTi、TiN及びその積層)を堆積する。次に、SiをAlの固溶限界以上の0.5～1.0%添加したAl-Si-Cuターゲットによるスパッタ法で、半導体基板を150～400℃に加熱した状態でAl膜 4 を堆積する。

【 0 0 0 3 】

ここで、Siを添加する理由はEM (エレクトロマイグレーション) 耐性を向上させるためである。また、Al堆積時に半導体基板を加熱する理由は、Alのグレイン (結晶粒) を大きくしてEM耐性を上げたり、ステップカバレッジ (段差被覆性) を向上させたりするためである。次に、ホトリソグラフィ工程を良好に行うための反射防止膜 (ARM) 5、例えばTi、TiN及びその積層膜を堆積する。その後、公知のホトリソグラフィ法及びエッチング法により、配線をパターンニングしていた。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかしながら、上述したような固溶限界以上のSiを添加したAl-Si-Cuターゲットを用いてスパッタ堆積したAl薄膜には、以下に述べるような課題があった。すなわち、Al膜を堆積する際、その高い加熱温度によって、析出していたSi粒 6 がAl中に固溶し、堆積終了後にウエハが堆積温度から徐々に冷却される過程において、固溶しきれずに残ったSiを核として、一旦固溶したSiの再結晶成長が始まり、結果として巨大なSi析出物 7 を形成する (図 1 8 参照)。このAl膜中に析出したSi析出物 7 は、後行程であるAl膜のエッチングの際、通常使用されるCl₂系のエッチングガスでは取り除けず、結果的にSiの残渣として残ってしまう。図 1 9 に示すように、このSi残渣 8 は、残渣下部のAlをエッチングする際のマスクとして作用してしまう。そのため、パターン不良を起こし、Si残渣 8 の大きさが配線間の間隔よりも大きくなると、配線間ショートの原因になるなどの問題点がある

【 0 0 0 5 】

【課題を解決するための手段】

本願発明では、上述した課題を解決するため、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl-Si-Cu膜を400℃以上で堆積する工程とを含む配線薄膜の堆積方法としたものである。この方法によれば、Ti膜とAl-Si-Cu膜の層間にAl₃Ti膜が形成され過剰なSiを吸収するため上述した課題を解決できるのである。

【 0 0 0 6 】

また、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl-Si-Cu膜を堆積する工程と、半導体基板を400℃以上でアニール処理する工程とを含む配線薄膜の堆積方法としたものであり、その原理はAl₃Ti膜のSiの吸収による。

【 0 0 0 7 】

また、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl₃Ti膜を堆積する工程と、前記Al₃Ti膜上にAl-Si-Cu膜を400℃以上の温度で堆積する工程とを含む配線薄膜の堆積方法としたものであり、その原理は上述した通りである。

【 0 0 0 8 】

また、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl₃Ti膜を堆積する工程と、Al₃Ti膜上にAl-Si-Cu膜を堆積する工程と、半導体基板を400℃以上でアニール処理する工程とを含む配線薄膜の堆積方法としたものであり、その原理は上述した通りである。

【 0 0 0 9 】

更に、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl-Si-Cu膜を堆積する工程と、Al-Si-Cu膜上にAl₃Ti膜を堆積する工程と、半導体基板を400℃以上でアニール処理する工程とを含む配線薄膜の堆積方法としたものであり、その原理は上述した通りである。

【 0 0 1 0 】

【発明の実施例】

(第1の実施例)

本発明の第1の実施例を、図1乃至3を用いて詳細に説明する。まず、半導体

基板 2 0 上に絶縁膜 2 1 (例えばSiO₂、BPSG)を堆積する。次に、バリア層として、例えばTi膜を50nm程度堆積する。その後、Al-1.0%Si-0.5%Cuターゲットを用いたスパッタ法で、Al膜 2 3 を400~800nm程度堆積する。このAl膜を堆積する時の温度を、400℃以上の高温とする。

【 0 0 1 1 】

この様に、温度が高い条件でAl膜を堆積すれば、Al-Ti間の反応が促進されてAl₃Ti合金層 2 4 が形成される。このAl面に接するAl₃Tiは、Al中のSiを吸収することが確認されている。例えば、450℃でのAl₃TiのSiの固溶度は約15重量%程度であり、非常に高くなる。

【 0 0 1 2 】

従って、本実施例では、このAl₃TiへのSiの拡散を促進し、Al中のSi量を減らし再結晶によるSi析出物を無くすようにする。このAl₃Ti合金層 2 4 を形成するため、Al膜の堆積時の半導体基板温度を、400℃以上の高温にしてAl膜を堆積するのである。その後、反射防止膜として例えばTiN膜を50nm程度堆積する。その後は、公知の方法でパターンニングを行う。

【 0 0 1 3 】

以上のように、本実施例によれば、バリア層がTiの場合、ウエハ温度を400℃以上の高温にしてAl膜を堆積することで、Al-Ti間反応を促進し、Al₃Ti合金層を形成する。Al面に接するAl₃Ti層は、Al膜堆積時の高温処理により、Al膜中のSiを吸収する。従って、Al膜中のSi量が減少し、ウエハが成膜温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすることができるのである。

【 0 0 1 4 】

(第2の実施例)

本発明の第2の実施例を、図4乃至5を用いて詳細に説明する。まず、半導体基板 3 0 上に、絶縁膜 3 1 (例えばSiO₂、BPSG)を堆積させる。次に、バリア層としてTi単層膜 3 2 を50nm程度堆積する。その後、Al-1.0%Si-0.5%Cuターゲットを用いたスパッタ法で、Al膜 3 3 を400~800nm程度堆積する。次に、反射防止膜

として、TiN膜 3 4 を50nm程度堆積する。各膜の堆積条件は、従来の技術と同様で良い。

【 0 0 1 5 】

以上の膜の堆積が終了したら、半導体基板を400℃以上の高温でアニール処理をする。このアニール処理により、Al-Ti間の反応が促進されAl₃Ti合金層 3 5 が形成される。このAl面に接するAl₃Tiは、上述したようにAl中のSiを吸収することが確認されている。従って、本実施例では、このAl₃TiへのSiの拡散を促し、Al中のSi量を減らして再結晶によるSi析出物を無くすることができる。

【 0 0 1 6 】

以上のように、第 2 の実施例によれば、バリア層がTiの場合、反射防止膜の堆積が終了した後で、400℃以上でアニール処理を行うことで、Al-Ti間反応が促進されAl₃Ti合金層が形成される。Al面に接するAl₃Ti合金層 3 5 は、アニール時の温度が高いため、Al膜中のSiを吸収する。従って、Al膜中のSi量が減少し、半導体基板が膜の堆積温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすることができるのである。

【 0 0 1 7 】

(第 3 の実施例)

本発明の、第 3 の実施例を、図 6 乃至 8 を用いて詳細に説明する。まず、半導体基板 4 0 上に、絶縁膜 4 1 (例えばSiO₂、BPSG)を堆積する。次に、バリア層としてTi膜 4 2 を50nm程度堆積する。バリア層までの成膜条件は従来の技術と同様で良い。本実施例ではAl堆積前に、あらかじめAl₃Tiターゲットを用いたスパッタ法によりAl₃Ti膜 4 3 を10~20nm程度堆積する。次に、Al-1.0%Si-0.5%Cuターゲットを用いたスパッタ法で、Al膜を堆積温度400℃以上にて、400~800nm程度堆積する。Al膜の堆積温度を400℃以上とするのは、Al₃Ti中へのSiの吸収を促進するためである。その後、反射防止膜としてTiN膜 4 5 を50nm程度堆積する。

【 0 0 1 8 】

以上のように、第3の実施例によれば、Al堆積前に、あらかじめAl₃Tiターゲットを用いたAl₃Ti膜を堆積し、その後400℃以上の高温でAl膜を堆積することで、Al面に接するAl₃Ti層は、成膜時に、Al中のSiを吸収するのでAl中のSi量が減少し、ウエハが成膜温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすることができるのである。

【0019】

(第4の実施例)

本発明の、第4の実施例を、図9乃至10を用いて詳細に説明する。まず、半導体基板50上に、絶縁膜51(例えばSiO₂、BPSG)を堆積する。次に、バリア層としてTi膜52を50nm程度堆積する。バリア層までの成膜条件は、従来の技術と同様である。本実施例では、Al成膜前に、Al₃Tiターゲットを用いたスパッタ法により、Al₃Ti膜53を10~20nm程度堆積する。その後、従来の技術と同様の成膜条件で、Al-1.0%Si-0.5%Cuターゲットを用いたスパッタ法によりAl膜54を400~800nm程度堆積する。次に反射防止膜としてTiN膜55を50nm程度堆積する。以上の膜の堆積終了後、Al₃Ti膜中へのSiの吸収を促進するために、半導体基板を400℃以上の高温でアニール処理を行う。

【0020】

以上のように、第4の実施例によれば、Al膜の堆積前に、Al₃Tiターゲットを用いたスパッタ法によりAl₃Ti膜を堆積し、反射防止膜の堆積終了後、Al₃Ti膜中へのSiの吸収を促進するため、400℃以上の高温でアニール処理を行う。このアニールにより、Al面に接するAl₃Ti層はAl膜中のSiを吸収するので、Al膜中のSi量が減少し、ウエハが成膜温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすることができるのである。

【0021】

(第5の実施例)

本発明の第5の実施例を、図11乃至12を用いて詳細に説明する。まず、半導体基板60上に、絶縁膜61(例えばSiO₂、BPSG)を堆積する。次に、バリア層としてTi膜62を50nm程度堆積する。その上に、Al-0.8%Si-0.3%Cuターゲットを用いたスパッタ法で、Al膜63を堆積する。Al膜を堆積するまでの堆積条件は従来の技術と同様で良い。本実施例では、Al膜堆積後に、Al₃Tiターゲットを用いたスパッタ法によりAl₃Ti膜64を10~20nm程度堆積する。その後、従来の技術と同様に反射防止膜TiN65を50nm程度堆積する。反射防止膜の堆積終了後、Al₃Ti中へのSiの吸収を促進するために400℃以上の高温でアニール処理を行う。以上のように、第5の実施例によれば、Al成膜後に、Al₃Tiターゲットを用いたスパッタ法によってAl₃Ti膜64を堆積し、反射防止膜の堆積終了後、Al₃Ti中へのSiの吸収を促進するために400℃以上の高温でアニール処理を行うことで、Al面に接するAl₃Ti層はAl中のSiを吸収するので、Al膜中のSi量が減少し、半導体基板が堆積温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすることができるのである。

【0022】

(第6の実施例)

本発明の第6の実施例を、図13乃至14を用いて詳細に説明する。まず、半導体基板70上に、絶縁膜71(例えばSiO₂、BPSG)を堆積する。次に、バリア層としてTi膜72を50nm程度堆積する。その上に、Al-0.8%Si-0.3%Cuターゲットを用いたスパッタ法で、Al膜73を堆積する。Al膜を堆積するまでの堆積条件は従来の技術と同様で良い。本実施例では、Al膜堆積後に、Al₃Tiターゲットを用いたスパッタ法によりAl₃Ti膜74を10~20nm程度堆積する。その時の温度を400℃以上の高温で堆積する。その後、従来の技術と同様に反射防止膜TiN75を50nm程度堆積する。

【0023】

以上のように、第6の実施例によれば、Al成膜後に、Al₃Tiターゲットを用いたスパッタ法によってAl₃Ti膜64を400℃以上の温度下で堆積する。Al₃Ti中へ

のSiの吸収を促進するために400℃以上の高温でAl₃Ti膜の堆積を行うことで、Al面に接するAl₃Ti層はAl中のSiを吸収するので、Al膜中のSi量が減少し、半導体基板が堆積温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすことができるのである。

【0024】

【発明の効果】

本発明によれば、Al₃Ti膜がSiを多量に固溶できる性質を利用して過剰なSiを吸収させるようにしたので、Al膜中のSi量が減少し、半導体基板が堆積温度から冷却する過程におけるSiの再結晶を抑制することができる。従って、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を簡便な方法で防ぐことができ、結果として配線間ショートを無くし良好な配線薄膜を得ることができるのである。

【図面の簡単な説明】

【図1】

本発明の第1の実施例を説明するための工程断面図その1である。

【図2】

本発明の第1の実施例を説明するための工程断面図その2である。

【図3】

本発明の第1の実施例を説明するための工程断面図その3である。

【図4】

本発明の第2の実施例を説明するための工程断面図その1である。

【図5】

本発明の第2の実施例を説明するための工程断面図その2である。

【図6】

本発明の第3の実施例を説明するための工程断面図その1である。

【図7】

本発明の第3の実施例を説明するための工程断面図その2である。

【図 8】

本発明の第 3 の実施例を説明するための工程断面図その 3 である。

【図 9】

本発明の第 4 の実施例を説明するための工程断面図その 1 である。

【図 1 0】

本発明の第 4 の実施例を説明するための工程断面図その 2 である。

【図 1 1】

本発明の第 5 の実施例を説明するための工程断面図その 1 である。

【図 1 2】

本発明の第 5 の実施例を説明するための工程断面図その 2 である。

【図 1 3】

本発明の第 6 の実施例を説明するための工程断面図その 1 である。

【図 1 4】

本発明の第 6 の実施例を説明するための工程断面図その 2 である。

【図 1 5】

従来技術を説明するための工程断面図その 1 である。

【図 1 6】

従来技術を説明するための工程断面図その 2 である。

【図 1 7】

従来技術を説明するための工程断面図その 3 である。

【図 1 8】

従来技術のメカニズムを説明するための工程断面図である。

【図 1 9】

従来技術による不具合を説明するための断面図である。

【符号の説明】

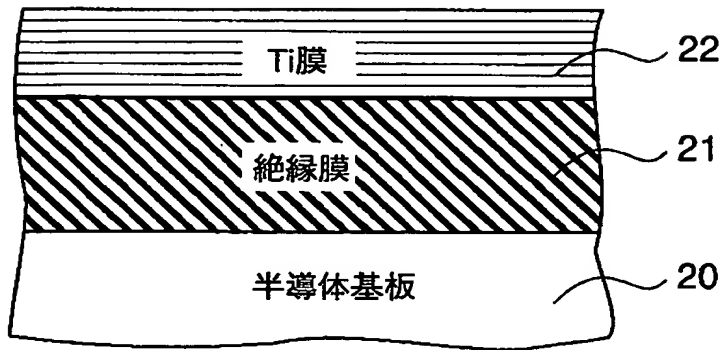
- 1、2 0、3 0、4 0、5 0、6 0、7 0：半導体基板
- 2、2 1、3 1、4 1、5 1、6 1、7 1：絶縁膜
- 2 2、3 2、4 2、5 2、6 2、7 2：Ti膜
- 2 4、3 5、4 3、5 3、6 4、7 4：Al₃Ti層

特 2000-117990

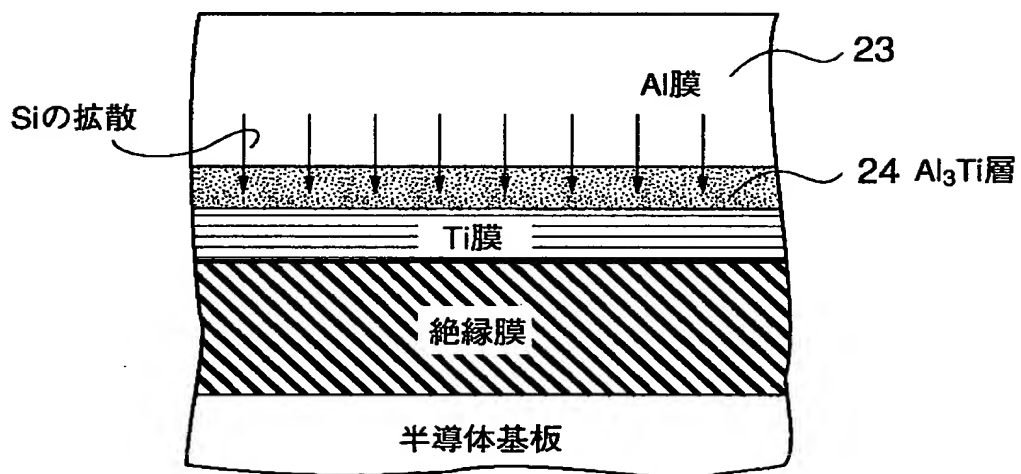
23、33、44、54、63、73 : Al膜

【書類名】 図面

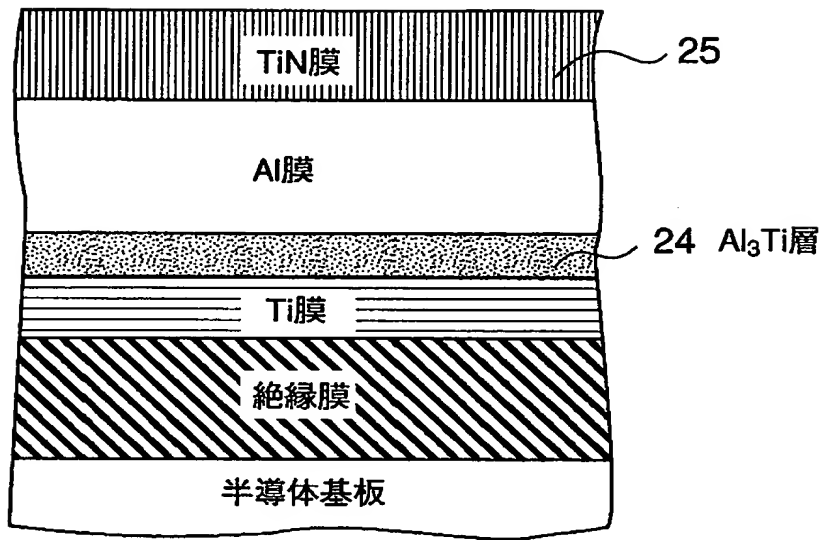
【図 1】



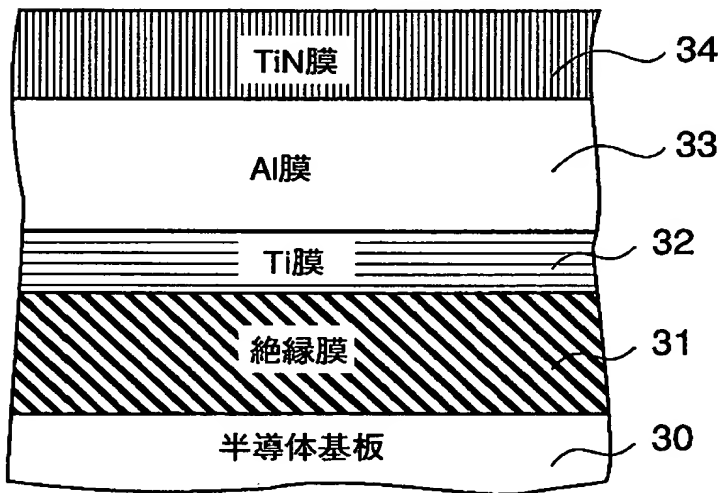
【図 2】



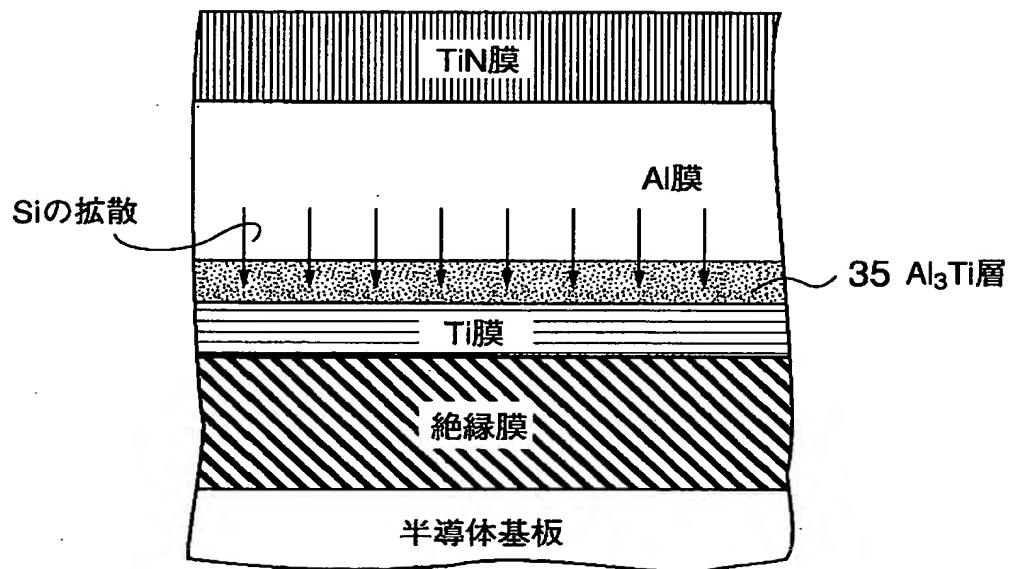
【図 3】



【図 4】



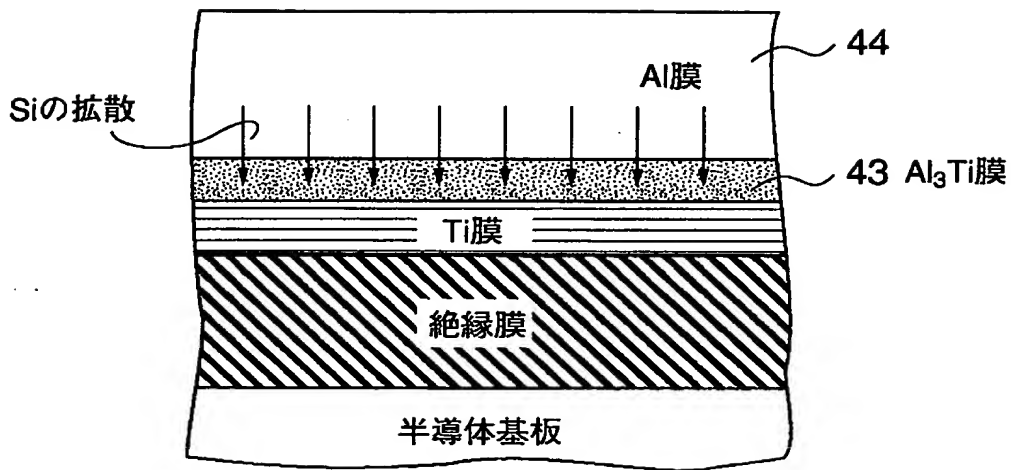
【図 5】



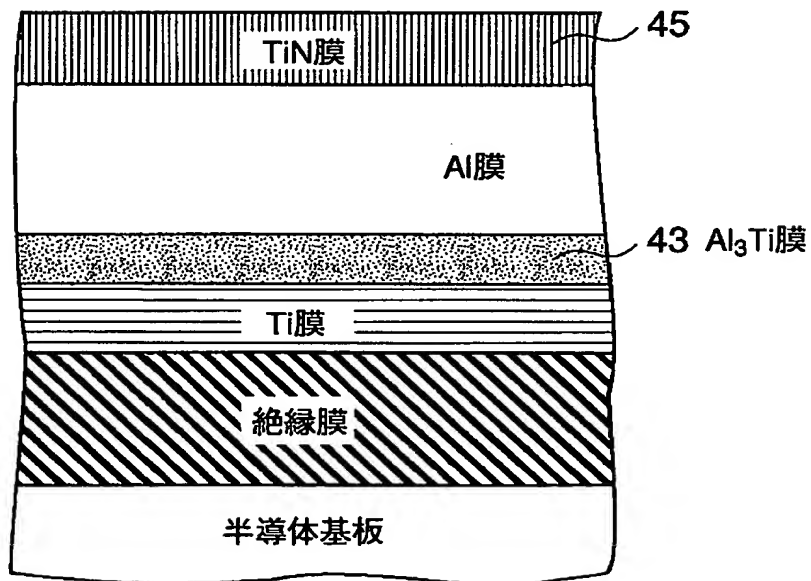
【図 6】



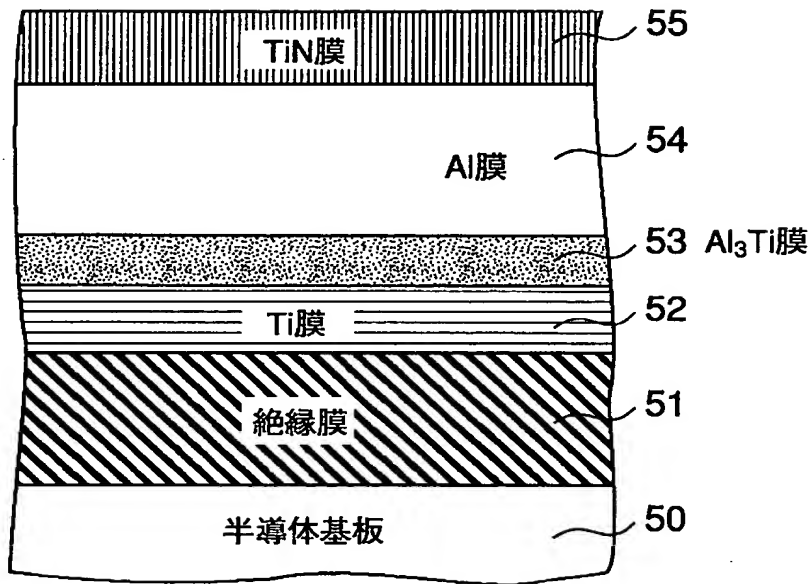
【図 7】



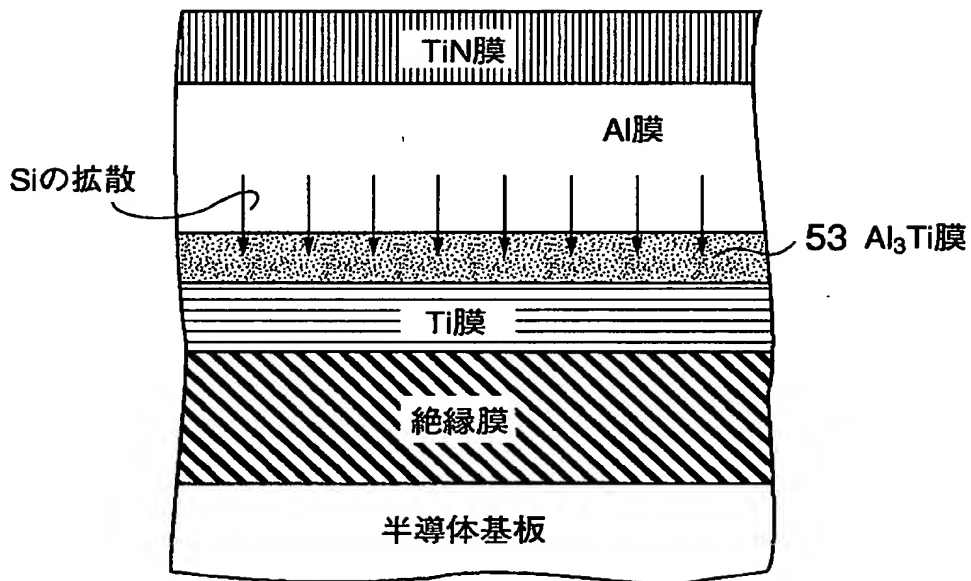
【図 8】



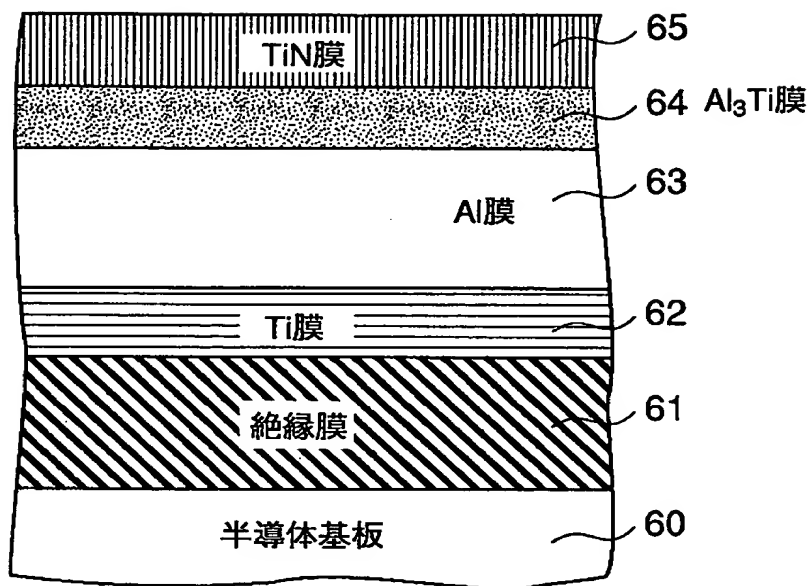
【図 9】



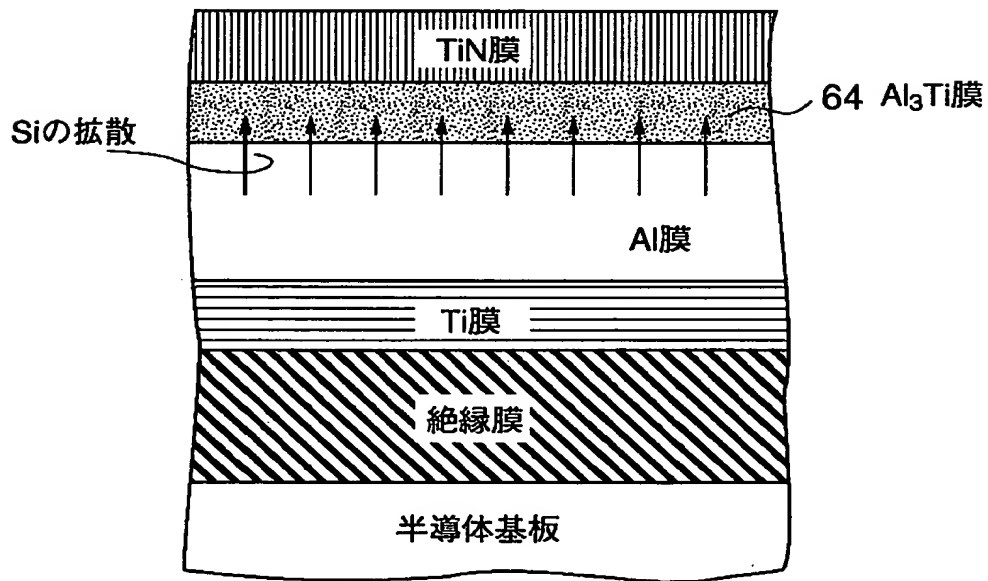
【図 10】



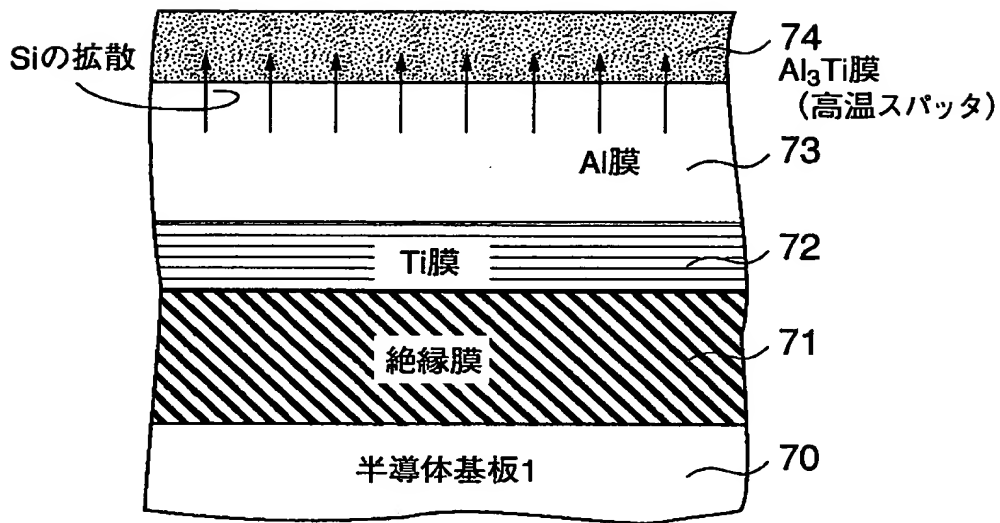
【図 1 1】



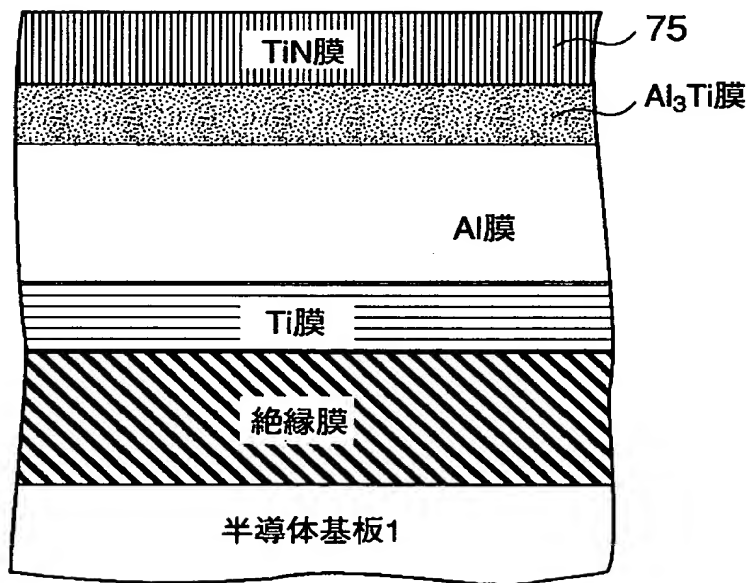
【図 1 2】



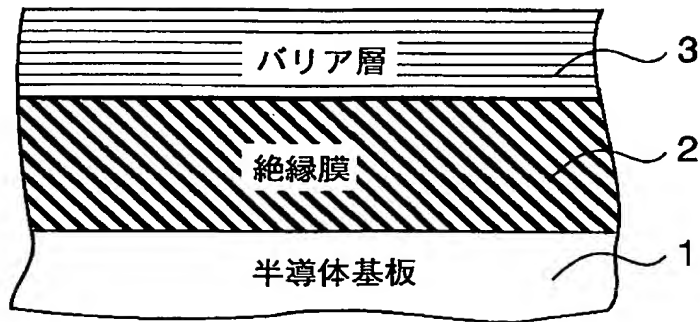
【図 13】



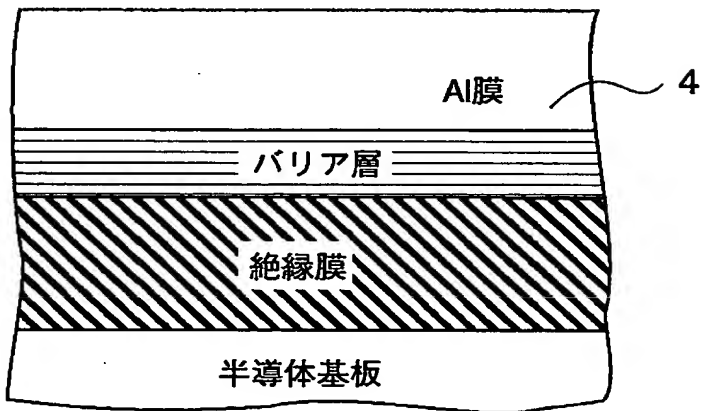
【図 14】



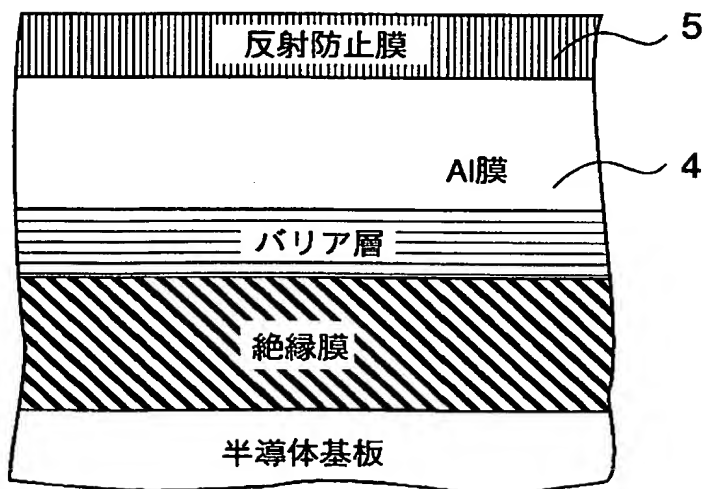
【図 15】



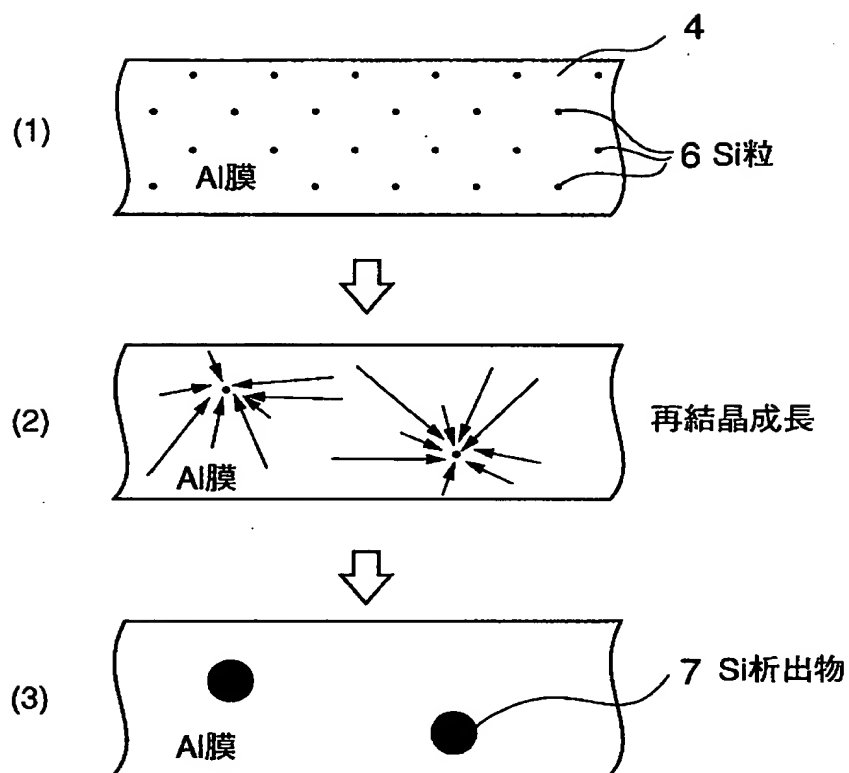
【図 16】



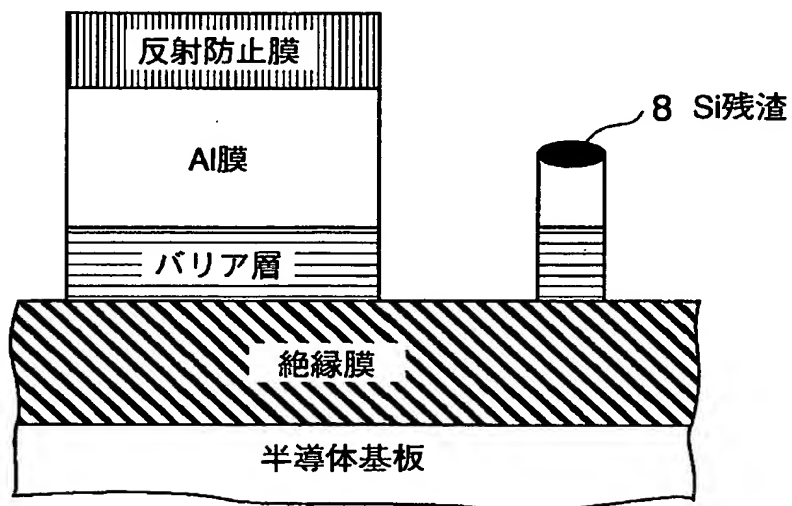
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 Al-Si-Cuターゲットによるスパッタ法で、Al配線膜を堆積させるときに生ずるSiのノジュールが発生してしまう。

【解決手段】 Siの固容量の大きいAl₃Ti膜をAl膜と積層するように堆積して、400℃以上の熱処理を加えることにより、過剰なSiをAl₃Ti膜に吸収させることでSiノジュールの発生を防止する。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社